

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **60246152 A**

(43) Date of publication of application: **05.12.85**

(51) Int. Cl. **H04L 11/20**

(21) Application number: **59102890**

(71) Applicant: **NEC CORP**

(22) Date of filing: **22.05.84**

(72) Inventor: **AKIBA KENICHI**

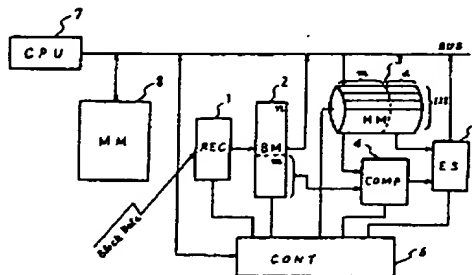
**(54) DATA EXCHANGE PROCESSING SYSTEM**

**(57) Abstract:**

**PURPOSE:** To improve the processing ability of a central processing unit by allowing a hardware means to analyze immediately control information when the control information included in reception data is stored in a temporary storage circuit and storing event information in a main storage device prior to the storage of content of the received data in place of the control information.

**CONSTITUTION:** A reception circuit 1 transmits data to a buffer memory 2 in the unit of byte at first when a pattern not being a flag sequence in the input is stored in a data storage device. The buffer memory 2 stores the data transmitted sequentially and when the data reaches a designated m bits in advance, a control circuit 6 allows a comparator circuit 4 to read the said m bits immediately and reads sequentially plural pieces of information in the unit of m bits in the storage memory 3 and gives the result to the comparator circuit 4. The comparator circuit 4 compares both inputs of m bits and when they are coincident, the circuit 4 gives the coincidence information to the control circuit 6. Then the control circuit 6 transfers the event information to a prescribed location of a main storage device 8.

**COPYRIGHT:** (C)1985,JPO&Japio



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

昭60-246152

⑫ Int. Cl.<sup>4</sup>

H 04 L 11/20

識別記号

1 0 1

庁内整理番号

A-7117-5K

⑬ 公開 昭和60年(1985)12月5日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 データ交換処理方式

⑮ 特 願 昭59-102890

⑯ 出 願 昭59(1984)5月22日

⑰ 発 明 者 秋 葉 賢 一 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 内 原 晋

## 明 細 書

### 1. 発明の名称

データ交換処理方式

### 2. 特許請求の範囲

ブロック伝送を行なうデータ交換処理方式において、複数の $m$ ビットからなる情報を記憶する記憶手段と、受信データを $n$  ( $n \geq m$ ) ビット単位で一時蓄積する蓄積手段と、受信したフラグシーケンス(開始フラグ)に続いて前記蓄積手段に一時蓄積した $m$ ビットの情報と前記記憶手段の $m$ ビットの情報との一致を検出する比較手段と、この比較手段で一致が得られたときこの情報に対応するイベント情報を主記憶装置の所定の位置に記憶する蓄込み手段とを含むことを特徴とするデータ交換処理方式。

### 3. 発明の詳細な説明

(産業上の利用分野)

本発明はデータ交換処理方式、特に伝送開始フラグに続いて制御情報を含むブロック伝送の処理を行なうデータ交換処理方式に関する。

(従来の技術)

従来、メッセージ交換やパケット交換のごとく、ブロックにしたデータを取扱うデータ交換においては、受信される複数のブロックデータをそれぞれ例えば4バイト長のごとく一定のビットの蓄積回路に一時的に蓄積し、これらの蓄積回路にデータが消されることに例えば主記憶装置の指定した場所に転送して記憶する。そこで中央処理装置はそれぞれの受信データが主記憶装置の中で所定量に達すると、受信記憶データの最初の制御情報を構成している複数ビットを取出し、入力分析処理を行なって判定したイベント情報を取出した制御情報に代えて記憶させ次の処理に備える。

(発明が解決しようとする問題点)

この処理方法は送受信におけるデータの喪失を避けるため、前記の複数の一定ビットの蓄積回路とデータ記憶装置との間のデータ転送処理を優先

的に実行し、その合間を縫って制御情報の処理を行なっているため、その処理の中断に遭遇して、記憶装置への送達等の面倒な処理とその分の時間を要すると云う欠点がある。

(問題点を解決するための手段)

本発明は上記の問題点を解決するため、受信データに含まれる制御情報が一時蓄積回路に蓄積されると、ハードウェア手段により直ちに制御情報の分析を行ない、この制御情報の代りにイベント情報を受信データ内容の記憶に先立って主記憶装置に記憶することにより、プログラムによる処理時間を短縮できるデータ交換処理機構において、複数のmビットからなる情報を記憶する記憶手段と、受信データを $n$  ( $n \geq m$ ) ビット単位で一時蓄積する蓄積手段と、受信されたフラグシーケンス(開始フラグ)に従って前記蓄積手段に一時蓄積されたmビットの情報と前記記憶手段のmビットの情報との一致を検出する比較手段と、この比較手段で一致が得られたときこの情報に対応

するイベント情報を主記憶装置の所定の位置に記憶する書き込み手段とを含んで構成される。

(実施例)

第1図は本発明の一実施例を示すブロック図で、データ交換処理方式のうち本発明の説明に必要な機能のみを示してある。図において、通信回路に接続された受信回路(RBC)1と、その出力を $n$ ビット単位で一時蓄積するバッファメモリ(BM)2と、例えば128種のmビットからなる情報と、この情報に対応する中央処理装置での処理上のイベント情報とを対応して記憶する保持メモリ(HM)3と、バッファメモリ2に蓄積された最初のmビットと保持メモリ3のmビットとの一致を検出する比較回路(COMP)4と、この比較回路4で一致を得た時に、その保持メモリ3の書き込まれている位置からイベント情報を読込み、主記憶装置(MM)8にこのイベント情報を送出するイベント送出回路(ES)5と、以上の各機能回路を制御する制御回路(CONT)6とから構成された受信制御系が、中央処理装置(CPU)7のバスに

接続されている。なお主記憶装置8もまたこのバスに接続されている。さらに図示されていないが、複数の前記受信制御系ならびに複数の送信制御系もまた前記バスに接続される。

次にこの実施例の動作について説明を進めると、例えばフラグシーケンスが1バイトから構成されていると、受信回路1は少なくとも1バイト長のデータ蓄積回路を有していて、継続的に送られて来るフラグシーケンスをこのデータ蓄積回路に読込んで、フラグシーケンスの同期を取っている。そこで受信回路1は入力フラグシーケンスである間はこの情報をバッファメモリ2には送らず、フラグシーケンスでないパターン(データ)がデータ蓄積回路に蓄積されると初めてこのデータを1バイト単位で、バッファメモリ2に送る。この時受信回路1は同時に制御回路6に、最初のデータが受信されたことを伝える。次いでバッファメモリ2は順次送られてくるデータを書き込み、そのデータが予め指定されているmビット(例えば2バイト)になると、制御回路6にmビットの蓄積

がなされたことを伝える。制御回路6は直ちにこのmビットを比較回路4に読取らせると共に、保持メモリ3のmビット単位の複数の情報を順次読出して、比較回路4に与える。比較回路4は $m$ ビットの入力を比較して、一致を見えると制御回路6に一致を伝えて、保持メモリ3からの次の情報の読出しを停止させると共に、イベント送出回路にも一致したことを伝える。そこでイベント送出回路5は保持メモリ3から、一致を見えたmビットの情報に対応して記憶されているイベント情報を読取る。次いで制御回路6は予め中央処理装置7から指定されている主記憶装置8の所定の場所に、このイベント情報を転送する。以上のmビットの蓄積完了からイベント情報を主記憶装置8に転送するまでの動作は、純てハードウェアで実施されるので、データ受信速度が例えば48キロビット/秒であれば、mビットに続く1バイトの到来を待つことなく終了できる。更にデータ受信速度が高速になった場合でも、バッファメモリの容量 $n$ を $n > m$ とすることにより容易に処理できる。さ

てmビット以降にバッファメモリ2に蓄積された受信データが、バッファメモリ2に満杯のmビットに達すると、制御回路6は最初のmビットを除いた残りのローmビットを、予め指定されている主記憶装置8の所定の場所に転送する。このあと制御回路6は従来行なわれている方法と同じに、バッファメモリ2が満杯になる毎に、前に転送したデータに続けてデータブロックの終りまで、主記憶装置8にデータの転送を続ける。

なお、以上の実施例では保持メモリ2にmビットの情報と、この情報に対応するイベント情報を対にして記憶させ、イベント送出回路5でこのイベント情報を脱出せしむものとしたが、保持メモリ2にはイベント情報を記憶させず、制御装置6からアドレスを順次指定して保持メモリのmビットの情報を脱出させ、比較回路4で一致を見た時のアドレスをイベント送出回路に伝えて、この送出回路でアドレスとイベント情報の対応テーブルからイベント情報を脱取らせることもできる。

なおまた、データの最初のmビットの制御情報

とイベント情報との対応は、処理プログラム作成時、あるいはその更新時に決められているので、主記憶装置への処理プログラムの格納に続いて、保持メモリまたはイベント送出回路に中央処理装置から、バス経由で記憶保持させることもできる。(発明の効果)

以上詳細に説明したとおり本発明によれば、全受信ブロックデータの受信が終了した時点には、既にこのブロックデータに対するイベント情報が入手されているので、中央処理装置は直ちにイベントで決められているタスク処理を行なうことができ、中央処理装置の処理能力を高め、高速データ伝送に有効な処理方式を提供すると云う効果がある。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例のブロック図である。

1……受信回路(RBC)、2……バッファメモリ(BM)、3……保持メモリ(HM)、4……比較回路(COMP)、5……イベント送出回路(ES)、

6……制御回路(CONT)、7……中央処理装置(CPU)、8……主記憶装置(MM)。

代理人 弁理士 内 原 昌 彦

第1図

